

10/511423

Rec'd PCT/PTO 15 OCT 2004  
14.04.03

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 4月15日

出 願 番 号

Application Number:

特願2002-112182

[ST.10/C]:

[JP2002-112182]

出 願 人

Applicant(s):

日本電気株式会社

REC'D 06 JUN 2003

WIPO

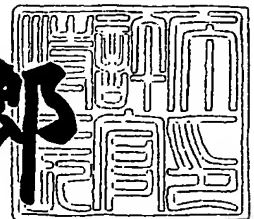
PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 5月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3036764

【書類名】 特許願

【整理番号】 34002239

【提出日】 平成14年 4月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/336  
H01L 27/088

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 渡部 平司

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 複数種類のトランジスタを含んでなる半導体装置であって、前記複数種類のトランジスタに含まれる、少なくとも二種のトランジスタは、同一のシリコン基板上に形成されている、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種のトランジスタとして、  
少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、  
少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含むことを特徴とする半導体装置。

【請求項 2】 前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料とは、互いに異なる構成元素を含んでなる高誘電率絶縁材料であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料とは、互いに含有される構成元素の組成比が異なる高誘電率絶縁材料であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料とは、互いに異なる結晶構造を有する高誘電率絶縁材料であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記第一の絶縁膜と第二の絶縁膜の少なくとも一種類は、その膜厚方向で、その構成元素の種類または組成比が、連続的に変化している高誘電率絶縁材料からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料とは、互いに異なる密度を有する高誘電率絶縁材料であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記第一の絶縁膜と第二の絶縁膜とは、その膜厚方向での、膜中の未結合手の密度（ダングリング・ボンド密度）が互いに異なる高誘電率絶縁材料からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記第一のゲート絶縁膜と第二のゲート絶縁膜との少なくとも一種以上において、  
前記第一の絶縁膜あるいは第二の絶縁膜は、シリコン基板上に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜のいずれか一種以上からなる界面層を介して、形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 複数種類のトランジスタを含んでなる半導体装置の製造方法であって、

該半導体装置は、

前記複数種類のトランジスタに含まれる、少なくとも二種のトランジスタは、同一のシリコン基板上に形成されている、電氣的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含む半導体装置であり、

前記第一のトランジスタおよび第二のトランジスタを作製する工程は、少なくとも、

前記同一のシリコン基板上に選択される、前記第一のトランジスタの形成領域と第二のトランジスタの形成領域との両方に対して、前記第一の高誘電率絶縁材料からなる第一の絶縁膜を形成する工程、ならびに前記第二の高誘電率絶縁材料からなる第二の絶縁膜を形成する工程と、

前記第二の絶縁膜を形成する工程を実施した後、少なくとも前記第一のトランジスタの形成領域において、前記第一の絶縁膜を保持しつつ、前記第二の絶縁膜を選択的にエッチング除去する工程とを含む

ことを特徴とする半導体装置の製造方法。

【請求項 1 0】 複数種類のトランジスタを含んでなる半導体装置の製造方法であって、

該半導体装置は、

前記複数種類のトランジスタに含まれる、少なくとも二種のトランジスタは、同一のシリコン基板上に形成されている、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含む半導体装置であり、

前記第一のトランジスタおよび第二のトランジスタを作製する工程は、少なくとも、

前記同一のシリコン基板上に選択される、前記第一のトランジスタの形成領域と第二のトランジスタの形成領域との両方に対して、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜からなる下地絶縁膜を形成する工程と、この下地絶縁膜を形成する工程を実施した後、前記第一の高誘電率絶縁材料からなる第一の絶縁膜を形成する工程、ならびに前記第二の高誘電率絶縁材料からなる第二の絶縁膜を形成する工程と、

前記第二の絶縁膜を形成する工程を実施した後、少なくとも前記第一のトランジスタの形成領域において、前記下地絶縁膜を保持しつつ、前記第二の絶縁膜を選択的にエッチング除去する工程とを含む

ことを特徴とする半導体装置の製造方法。

【請求項 1 1】 前記第一のトランジスタ領域において、前記第二の絶縁膜を選択的にエッチング除去する工程では、

前記第二の高誘電率絶縁材料に対するエッチング速度と、前記第一の高誘電率絶縁材料に対するエッチング速度、ならびに前記シリコン酸化膜、シリコン酸窒

化膜あるいはシリコン窒化膜に対するエッチング速度との間にエッチング速度差を有する、溶液組成のフッ酸溶液を利用したウェット・エッチング法によって、前記第二の絶縁膜を選択的にエッチング除去する

ことを特徴とする請求項 9 または 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】 前記第一のトランジスタ領域において、前記第二の絶縁膜を選択的にエッチング除去する工程では、

前記第二の高誘電率絶縁材料に対するエッチング速度と、前記第一の高誘電率絶縁材料に対するエッチング速度、ならびに前記シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜に対するエッチング速度との間にエッチング速度差を有する、気相中密度のフッ素ラジカルを利用した気相エッチング法によって、前記第二の絶縁膜を選択的にエッチング除去することを特徴とする請求項 9 または 1 0 に記載の半導体装置の製造方法。

【請求項 1 3】 前記第二のゲート絶縁膜に含まれる第一の絶縁膜と、第二の絶縁膜との積層構造は、

前記第一の高誘電率絶縁材料と第二の高誘電率絶縁材料のうち、フッ酸溶液に対するエッチング速度がより速い絶縁材料からなる絶縁膜が、フッ酸溶液に対するエッチング速度がより遅い絶縁材料からなる絶縁膜に対して、上層となる積層構造である

ことを特徴とする請求項 1 ～ 8 のいずれか一項に記載の半導体装置。

【請求項 1 4】 前記第二のゲート絶縁膜に含まれる第一の絶縁膜と、第二の絶縁膜との積層構造は、

前記第一の高誘電率絶縁材料と第二の高誘電率絶縁材料のうち、フッ素ラジカルによる気相エッチングに対するエッチング速度がより速い絶縁材料からなる絶縁膜が、フッ素ラジカルによる気相エッチングに対するエッチング速度がより遅い絶縁材料からなる絶縁膜に対して、上層となる積層構造である

ことを特徴とする請求項 1 ～ 8 のいずれか一項に記載の半導体装置。

【請求項 1 5】 該半導体装置において、前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料とは、互いに異なる結晶構造を有する高誘電率絶縁材料であり、

前記第一の高誘電率絶縁材料からなる第一の絶縁膜を形成する工程と、前記第二の高誘電率絶縁材料からなる第二の絶縁膜を形成する工程とにおいて、

前記第一の絶縁膜を形成する工程における基板温度と、前記第二の絶縁膜を形成する工程における基板温度とを異なった温度に選択して、

成膜される前記第一の高誘電率絶縁材料と第二の高誘電率絶縁材料とを、異なった結晶構造を有するものとする

ことを特徴とする請求項 9 または 1 0 に記載の半導体装置の製造方法。

【請求項 1 6】 前記第二の絶縁膜を形成する工程を実施した後、

形成されている絶縁膜に対して、熱処理を施す工程を具え、

前記熱処理温度は、少なくとも第一の高誘電率絶縁材料または第二の高誘電率絶縁材料の特性改善可能な温度に選択することを特徴とする請求項 9 ～ 1 2、または 1 5 のいずれか一項に記載の半導体装置製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ゲート絶縁膜に高誘電率絶縁体材料を利用する半導体装置とその製造方法に関し、より具体的には、同一基板上に形成されている、複数種類のゲート絶縁膜を有するトランジスタから構成される半導体装置とその製造方法に関する。

【0 0 0 2】

【従来の技術】

MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) を利用する半導体装置では、その高性能化と集積化に伴い、MOSFETを構成するゲート絶縁膜の薄層化が進められている。例えば、ゲート長が100 nm以下のMOSFETにおいて、電流駆動能力の向上を図る上では、シリコン酸化膜をゲート絶縁膜として用いる際、スケーリング則に従うと、その膜厚を1.5 nm以下とすることが必要となっている。一方、ゲート絶縁膜にこのような極薄のシリコン酸化膜を用いる場合、ゲート・バイアス印加時にゲート絶縁膜を挿んで発生するトンネル電流量は、ソース／ドレイン電流に対して、無視できない値となる。このトンネル電流量の増



大を抑制することが、MOSFETの高性能化と低消費電力化を進める上で、大きな課題となっている。加えて、近年、モバイル・ユースを中心として、超低消費電力素子の開発が必要となっている。これらモバイル・ユース用の半導体装置では、上記の高性能化・高集積化を志向する半導体装置と比較すると、個々の素子自体は、そのゲート絶縁膜の膜厚は厚くできるデバイス・スケールで設計されているものの、全体として超低消費電力化を進める上では、やはり、ゲート絶縁膜にシリコン酸化膜を用いている従来の素子と対比して、ゲート・バイアス印加時のトンネル電流量など、不必要なリーク電流値を飛躍的に低減する必要がある。

## 【 0 0 0 3 】

従って、高性能素子ならびに低消費電力素子の双方ともに、ゲート絶縁膜の実効的（電氣的）な膜厚を薄くしつつ、同時に、トンネル電流をデバイス設計上の許容値内に抑えるため手法の研究・開発が進められてきた。その手法の一つは、シリコン酸化膜中に窒素を添加することで、純粋なシリコン酸化膜に比べて誘電率が増加したゲート絶縁膜とすることによって、物理的な膜厚を薄層化することなしに、ゲート絶縁膜の実効的な膜厚を減少させる方法である。さらに、近年、シリコン酸化膜に代えて、誘電率が10以上の絶縁性金属酸化物薄膜、あるいは、これら絶縁性金属酸化物材料とシリコンとの複合材料である絶縁性シリケート薄膜を、ゲート絶縁膜用の絶縁材料として利用する試みがなされている。この目的に利用可能な高誘電率絶縁材料として、 $Al_2O_3$ 、 $ZrO_2$ や $HfO_2$ 、ならびに $Y_2O_3$ などの希土類元素酸化物や $La_2O_3$ などのランタノイド系希土類元素酸化物、あるいは、それらのシリケート薄膜が検討されている。

## 【 0 0 0 4 】

加えて、前記の高誘電率絶縁材料をゲート絶縁膜に用いる際、ゲート絶縁膜とシリコン基板との界面電気特性を改善することも、重要な開発課題となっている。その解決手段の一つとして、高誘電率絶縁材料膜とシリコン基板との間に、シリコン酸化膜をベースとした界面層を挿入して、高誘電率絶縁材料膜／界面酸化膜／シリコン基板からなる積層構造とすることが提案されている。この界面酸化膜を設けた積層構造を形成する方法として、高誘電率絶縁材料膜の成膜に先立ち、下地酸化膜として、予めシリコン基板表面に酸化膜層を形成しておく方法、あ

るいは、シリコン基板表面に高誘電率絶縁材料膜の直接形成した後、シリコン基板に熱処理を施すことで、界面に熱酸化膜層を成長させる方法などがある。

#### 【0005】

一方、個々の素子を構成するゲート絶縁膜に関して、上述した通り、その用途に応じて、様な特性が要求されることに加えて、複数の素子を利用する集積回路を構成する際には、例えば、目的にあった、互いに素子構成が異なる多種類のトランジスタを同一基板上に作製する技術が必要となる。具体的には、高速動作のトランジスタと低消費電力型のトランジスタ、あるいは、内部回路を構成するトランジスタと入出力部のトランジスタとでは、それぞれの用途に応じて、ゲート絶縁膜の膜厚が適正に選択された、異なった素子構造に設計することが望ましい。さらには、フラッシュ・メモリなどで用いられるトンネル絶縁膜に関しても、通常のMOSFETのゲート絶縁膜とは異なった絶縁膜を用いることで、その最適化を行う必要がある。複数の素子を利用する集積回路を作製する際、各素子に応じて、電氣的な膜厚の異なる複数種類の絶縁膜を同一基板上に形成する技術、ここでは、マルチオキサイド・プロセスと称する作製技術の開発が急務となっており、これまでも、幾つかの手法が提案されている。既に提案されているマルチオキサイド・プロセスの手法では、シリコン基板表面に形成したシリコン酸化膜をレジスト・マクスとフッ酸溶液処理によりパターニングし、部分的にシリコン酸化膜を剥離した開口部を設けた後、その開口部分に所望の絶縁膜（シリコン酸化膜）層の形成を行う工程を順次繰り返して、膜厚の異なる複数種類の絶縁膜を作製するプロセス、あるいは、シリコン基板表面の特定部分にイオン注入を行って、他の領域と比較して、イオン注入領域における酸化速度を変化（増速）させて、膜厚の異なる複数種類の絶縁膜を形成するプロセスが検討されている。

#### 【0006】

##### 【発明が解決しようとする課題】

既に提案されているマルチオキサイド・プロセスの手法では、特定の領域において、シリコン酸化膜自体の膜厚を選択的に変える手段を中心として、検討が進められているが、そのプロセス上の問題点として、以下の課題が指摘されている。例えば、レジスト・マスクと選択的なウェット・エッチングによって、部分的

にシリコン酸化膜剥離を行う工程と、その後、開口部にシリコン酸化膜改めて形成する工程とを順次繰り返す手法では、作製する膜厚の異なるシリコン酸化膜の種類が増すとともに、全体工程が複雑になること、また、シリコン酸化膜剥離後のウエハー表面に対する汚染が問題となる。シリコン酸化膜剥離部分（デバイス領域）における、ウエハー表面汚染を除去する洗浄工程として、レジスト・マスクを薬液などで剥離した後、ウエハー表面全体にアンモニア－過酸化水素水混合液や硫酸－過酸化水素水混合液による洗浄を施すが、その際、シリコン表面に薄い酸化膜（化学酸化膜）が形成される。この洗浄工程後に残留する酸化膜は、膜厚にバラツキがあり、絶縁特性も優れておらず、膜質は粗悪なものであるため、極薄ゲート酸化膜を形成する際、予めフッ酸溶液などで剥離した上で、ゲート酸化膜の形成工程を行う。しかし、この化学酸化膜の剥離（エッチング除去）工程は、厚膜のシリコン酸化膜表面を覆っていたレジスト・マスクを除去した後に実施されるため、厚膜のシリコン酸化膜領域においても、僅かであるが、膜厚の目減りを引き起こすという問題が生じる。この膜厚の目減りに対しては、厚膜のシリコン酸化膜表面に窒化処理を施したり、表面に異種の絶縁材料膜で被覆したりすることで、上記の汚染除去工程で形成される化学酸化膜よりも、エッチング速度を小さくし、このエッチング速度差を利用して、化学酸化膜の剥離（エッチング除去）工程に伴う、厚膜のシリコン酸化膜での膜厚の目減りを抑制するプロセスが提案されている（特開2001-196464）。一方、イオン注入により、酸化速度を制御する手法では、イオン照射に起因するダメージ回復を図る工程が不可欠となり、例えば、ダメージ回復のため、加熱処理を伴う工程を付加すると、他に好ましくない影響を及ぼす場合もあり、さらには、この選択的なイオン照射工程に伴う生産性とコスト面での制約も、実用上の問題として指摘されている。

#### 【0007】

上述するように、個々の素子性能の最適化（高性能化と低消費電力化）を実現するためには、シリコン酸化膜に代えて、高誘電率絶縁材料膜の利用と、それに対応したマルチオキサイド・プロセスの採用が必要となる。高誘電率絶縁材料膜を利用する際、素子構造としては、高速動作素子と低消費電力型素子、あるい

は内部回路を構成する素子と入出力部の素子との間で、互いに異なる絶縁膜を採用することが提案されている。具体的には、シリコン酸化膜やシリコン酸窒化膜と、高誘電率絶縁性の金属酸化物膜とを、用途に応じて、組み合わせる素子構成が考えられる。対応するマルチオキサイド・プロセスとしては、上述の高誘電率絶縁材料膜の作製工程は、シリコン基板表面への堆積技術を中心に開発が進められており、従って、イオン注入によるシリコン基板の酸化速度制御技術で利用される手段を応用することは一般的に困難である。

#### 【 0 0 0 8 】

従って、高誘電率絶縁材料膜の作製工程に、シリコン基板表面への堆積技術を利用する場合、対応したマルチオキサイド・プロセスの基本的な例として、レジストなどのマスクを利用した部分的に開口部の作製、加えて、開口部領域の酸化や酸窒化あるいは高誘電率絶縁材料膜の堆積を、順次繰り返す方法が考えられる。その際、シリコン酸化膜を利用するマルチオキサイド・プロセスの場合と同様に、開口部の作製に伴い、膜厚の均一性の低下や、開口部に露呈したシリコン基板表面の汚染等の問題が予想される。特に、高誘電率絶縁性の金属酸化物膜を利用する場合、この金属酸化物膜の除去（エッチング）工程に由来する金属元素のシリコン基板表面への付着など、開口部に露呈したシリコン基板表面の新たな汚染要因となることが懸念されている。そのため、これら高誘電率絶縁材料膜を利用する際に予想される新たな汚染要因を回避でき、堆積技術を利用して形成される高誘電率絶縁材料膜を用いたマルチオキサイド構造に対応したマルチオキサイド・プロセスに適した半導体装置の素子構成ならびにプロセスの提案が望まれている。

#### 【 0 0 0 9 】

本発明は上記の課題を解決するもので、本発明の目的は、膜厚の異なるゲート絶縁膜を有するトランジスタ複数種類を含む半導体装置において、消費電力低減や信頼性向上などの素子動作特性の向上に加え、マルチオキサイド・プロセスにおけるウエハー汚染を抑制でき、膜厚制御性や均一性、さらには生産性を優れたもののできる半導体装置の構造、ならびにその簡便な製造方法を提供することにある。

## 【0010】

## 【課題を解決するための手段】

本発明者らは上記の課題を解決すべく、鋭意研究を進めたところ、複数種類のトランジスタを利用する半導体装置、特に、この半導体装置に含まれる少なくとも二種のトランジスタは、同一のシリコン基板上に形成され、電氣的膜厚が互いに異なるゲート絶縁膜を有するトランジスタとする際、一方のトランジスタでは、ゲート絶縁膜中に少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を含むものとし、他のトランジスタでは、ゲート絶縁膜中に第一の高誘電率絶縁材料からなる第一の絶縁膜に加えて、さらに、第二の高誘電率絶縁材料からなる第二の絶縁膜を含む積層構造と有するものとする、両者のゲート絶縁膜は、電氣的膜厚が互いに異なるものとして見出した。さらに、かかる素子構成を採用すると、両者のゲート絶縁膜で共通している第一の高誘電率絶縁材料からなる第一の絶縁膜を形成した後、ゲート絶縁膜下のシリコン基板表面を露出することなく、以降のプロセスを実施でき、マルチオキサイド・プロセスにおけるウェハー汚染の抑制にも効果があることを確認した。本発明者らは、これらの知見に基づき、本発明を完成するに至った。

## 【0011】

すなわち、本発明の半導体装置は、

複数種類のトランジスタを含んでなる半導体装置であって、

前記複数種類のトランジスタに含まれる、少なくとも二種のトランジスタは、同一のシリコン基板上に形成されている、電氣的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含むことを特徴とする半導体装置である。なお、前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高

誘電率絶縁材料からなる第二の絶縁膜との積層構造は、通常、第一の絶縁膜が下層で、第二の絶縁膜がその上層となる構成とする。

【0012】

その際、本発明の半導体装置では、例えば、

前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料に、互いに異なる構成元素を含んでなる高誘電率絶縁材料を用いることができる。また、前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料に、互いに含有される構成元素の組成比が異なる高誘電率絶縁材料を用いることができる。あるいは、前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料に、互いに異なる結晶構造を有する高誘電率絶縁材料を用いることができる。さらには、前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料に、互いに異なる密度を有する高誘電率絶縁材料を用いることもできる。

【0013】

加えて、本発明の半導体装置では、例えば、

前記第一の絶縁膜と第二の絶縁膜の少なくとも一種類は、その膜厚方向で、その構成元素の種類または組成比が、連続的に変化している高誘電率絶縁材料からなる構成とすることができる。また、前記第一の絶縁膜と第二の絶縁膜とは、その膜厚方向での、膜中の未結合手の密度（ダングリング・ボンド密度）が互いに異なる高誘電率絶縁材料からなる構成とすることができる。

【0014】

本発明の半導体装置において、

前記第一のゲート絶縁膜と第二のゲート絶縁膜との少なくとも一種類以上において、

前記第一の絶縁膜あるいは第二の絶縁膜は、シリコン基板上に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜のいずれか一種以上からなる界面層を介して、形成されている構造を選択すると好ましい。

【0015】

一方、前記第二のゲート絶縁膜に含まれる第一の絶縁膜と、第二の絶縁膜との積層構造は、

前記第一の高誘電率絶縁材料と第二の高誘電率絶縁材料のうち、フッ酸溶液に対するエッチング速度がより速い絶縁材料からなる絶縁膜が、フッ酸溶液に対するエッチング速度がより遅い絶縁材料からなる絶縁膜に対して、上層となる積層構造とすることが好ましい。あるいは、前記第二のゲート絶縁膜に含まれる第一の絶縁膜と、第二の絶縁膜との積層構造は、

前記第一の高誘電率絶縁材料と第二の高誘電率絶縁材料のうち、フッ素ラジカルによる気相エッチングに対するエッチング速度がより速い絶縁材料からなる絶縁膜が、フッ素ラジカルによる気相エッチングに対するエッチング速度がより遅い絶縁材料からなる絶縁膜に対して、上層となる積層構造とすることが好ましい。

#### 【 0 0 1 6 】

加えて、本発明は、上述する素子構造を有する半導体装置を製造する方法の発明をも併せて提供し、すなわち、本発明にかかる半導体装置の製造方法は、

複数種類のトランジスタを含んでなる半導体装置の製造方法であって、

該半導体装置は、

前記複数種類のトランジスタに含まれる、少なくとも二種のトランジスタは、同一のシリコン基板上に形成されている、電氣的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含む半導体装置であり、

前記第一のトランジスタおよび第二のトランジスタを作製する工程は、少なくとも、

前記同一のシリコン基板上に選択される、前記第一のトランジスタの形成領域と第二のトランジスタの形成領域との両方に対して、前記第一の高誘電率絶縁材料からなる第一の絶縁膜を形成する工程、ならびに前記第二の高誘電率絶縁材料

からなる第二の絶縁膜を形成する工程と、

前記第二の絶縁膜を形成する工程を実施した後、少なくとも前記第一のトランジスタの形成領域において、前記第一の絶縁膜を保持しつつ、前記第二の絶縁膜を選択的にエッチング除去する工程とを含むことを特徴とする方法である。

【 0 0 1 7 】

あるいは、本発明にかかる半導体装置の製造方法は、

複数種類のトランジスタを含んでなる半導体装置の製造方法であって、

該半導体装置は、

前記複数種類のトランジスタに含まれる、少なくとも二種のトランジスタは、同一のシリコン基板上に形成されている、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含む半導体装置であり、

前記第一のトランジスタおよび第二のトランジスタを作製する工程は、少なくとも、

前記同一のシリコン基板上に選択される、前記第一のトランジスタの形成領域と第二のトランジスタの形成領域との両方に対して、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜からなる下地絶縁膜を形成する工程と、この下地絶縁膜を形成する工程を実施した後、前記第一の高誘電率絶縁材料からなる第一の絶縁膜を形成する工程、ならびに前記第二の高誘電率絶縁材料からなる第二の絶縁膜を形成する工程と、

前記第二の絶縁膜を形成する工程を実施した後、少なくとも前記第一のトランジスタの形成領域において、前記下地絶縁膜を保持しつつ、前記第二の絶縁膜を選択的にエッチング除去する工程とを含む



ことを特徴とする方法とすると、より好ましい。

【 0 0 1 8 】

上述の二つの形態を採り得る、本発明にかかる半導体装置の製造方法では、  
前記第一のトランジスタ領域において、前記第二の絶縁膜を選択的にエッチング除去する工程では、

前記第二の高誘電率絶縁材料に対するエッチング速度と、前記第一の高誘電率絶縁材料に対するエッチング速度、ならびに前記シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜に対するエッチング速度との間にエッチング速度差を有する、溶液組成のフッ酸溶液を利用したウェット・エッチング法によって、前記第二の絶縁膜を選択的にエッチング除去する工程とすることが好ましい。あるいは、前記第一のトランジスタ領域において、前記第二の絶縁膜を選択的にエッチング除去する工程では、

前記第二の高誘電率絶縁材料に対するエッチング速度と、前記第一の高誘電率絶縁材料に対するエッチング速度、ならびに前記シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜に対するエッチング速度との間にエッチング速度差を有する、気相中密度のフッ素ラジカルを利用した気相エッチング法によって、前記第二の絶縁膜を選択的にエッチング除去する工程とすることが好ましい。

【 0 0 1 9 】

一方、本発明にかかる半導体装置の製造方法は、例えば、

該半導体装置において、前記第一の高誘電率絶縁材料と、第二の高誘電率絶縁材料とは、互いに異なる結晶構造を有する高誘電率絶縁材料であり、

前記第一の高誘電率絶縁材料からなる第一の絶縁膜を形成する工程と、前記第二の高誘電率絶縁材料からなる第二の絶縁膜を形成する工程とにおいて、

前記第一の絶縁膜を形成する工程における基板温度と、前記第二の絶縁膜を形成する工程における基板温度とを異なった温度に選択して、

成膜される前記第一の高誘電率絶縁材料と第二の高誘電率絶縁材料とを、異なった結晶構造を有するものとすることができる。

【 0 0 2 0 】

さらには、本発明にかかる半導体装置の製造方法では、例えば、

前記第二の絶縁膜を形成する工程を実施した後、

形成されている絶縁膜に対して、熱処理を施す工程を具え、

前記熱処理温度は、少なくとも第一の高誘電率絶縁材料または第二の高誘電率絶縁材料の特性改善可能な温度に選択する形態として、実施することも可能である。

#### 【 0 0 2 1 】

##### 【発明の実施の形態】

以下に、本発明をより詳細に説明する。

#### 【 0 0 2 2 】

本発明では、半導体装置を構成する複数種類のトランジスタについて、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタを同一のシリコン基板上に形成する際、一方の電気的膜厚の厚いゲート絶縁膜では、エッチング速度が異なる2種類以上の高誘電率絶縁材料薄膜の積層構造を含む構成を採用し、他方の電気的膜厚の薄いゲート絶縁膜では、積層構造に形成されていた前記2種類以上の高誘電率絶縁材料薄膜の内、少なくとも一つの高誘電率絶縁材料薄膜を選択的にエッチングして、電気的膜厚を薄くする構成を採用する。このエッチング速度が異なる2種類以上の高誘電率絶縁材料薄膜の積層構造を一旦形成した後、その一部を選択的にエッチングする工程を利用することによって、高誘電率絶縁材料膜に対応したマルチオキサイド・プロセスを実現する。つまり、ゲート絶縁膜に高誘電率絶縁材料膜を利用することで、従来のシリコン酸化膜を用いる場合と比較して、電気的膜厚は維持しつつ、物理膜厚を増加させて、リーク電流の低減を図ることが可能となる。それと同時に、積層構造の上層（や中間層）に用いる高誘電率絶縁材と対比して、下層を構成する高誘電率絶縁材料として、エッチング速度が遅い高誘電率絶縁材料を選択することで、積層後になされるエッチング工程では、下層に対するオーバー・エッチングを回避しつつ、上層あるいは中間層を部分的にかつ選択的にエッチング除去することが可能となり、電気的膜厚の異なる複数種類のゲート絶縁膜構造を高い再現性で作製するものである。従って、本発明は、マルチオキサイド・プロセスにおいて、高誘電率絶縁材料の採用とプロセスの簡便性を図りつつ、絶縁膜の膜厚バラツキやウエハー汚染の問題を引き

起こすことのない半導体装置の構成および製造方法を提供する。

【 0 0 2 3 】

従来、ゲート絶縁膜などの絶縁材料膜として広く用いられているシリコン酸化膜（熱酸化膜）あるいは酸窒化膜は、フッ酸溶液によるウェット・エッチング、あるいはCF系ガスプラズマ中のフッ素ラジカルを用いた反応性ドライ・エッチングを利用して、エッチング加工されている。特に、ゲート絶縁膜層のエッチングにおいては、加工損傷を極力導入しないことが、ゲート絶縁膜とシリコン基板のチャンネル層との間の良好な界面状態を達成する上で重要である。具体的には、前記の観点では、反応性ドライ・エッチングと比較して、加工損傷を与える懸念のない、フッ酸溶液によるウェット・エッチングが、ゲート絶縁膜層のエッチング方法として、より優れている。

【 0 0 2 4 】

一方、ゲート絶縁膜などの用途に利用可能な高誘電率絶縁材料として、研究開発が進められているZrO<sub>2</sub>やHfO<sub>2</sub>、さらにはこれらにシリコンを添加したシリケート材料も、上記シリコン酸化膜（熱酸化膜）あるいは酸窒化膜と同様にフッ酸溶液やフッ素ラジカルを利用する反応性ドライ・エッチングによって、エッチングすることが可能である。その際、高誘電率絶縁材料の大きな特徴の一つは、高誘電率絶縁材料を構成する元素や組成比の違いによって、そのエッチング速度が大きく異なる点である。さらに、高誘電率絶縁膜材料は、成膜手法や成膜時の基板温度を適切に設定することで、結晶あるいは非晶質構造を有した薄膜の堆積が可能であり、その際、結晶構造に起因して、エッチング速度に顕著な差異を有するものとすることが可能である。この高誘電率絶縁材料における、結晶構造に起因するエッチング速度の相違、ならびに、組成の違いに付随するエッチング速度差に関しては、例えば、図2に例示する傾向が、ゲート絶縁膜用の候補材料として検討されている高誘電率絶縁材料薄膜に見出される。例えば、高誘電率絶縁材料となる金属酸化物では、一般的に、熱的に安定な材料のエッチング速度が遅い傾向にあり、また化学量論的組成と一致した金属酸化物に比べて、シリコンを添加したシリケート材料のエッチング速度が速い傾向にある。さらには、上述したとおり、成膜条件を適宜選択することによって、結晶あるいは非晶質構造を

有した薄膜の積層構造を高い自由度で作製することも可能である。その際、非晶質構造の薄膜におけるエッチング速度は、結晶構造を有した薄膜と比較して、飛躍的に増大する。加えて、フッ酸溶液によるウェット・エッチングやフッ素ラジカルを利用する反応性ドライ・エッチングによるエッチング速度は、被加工材料の構造欠陥の有無にも敏感である。具体的には、同一構成元素で同一組成の高誘電率絶縁材料薄膜であっても、その成膜条件の相違によって、得られる薄膜の密度や膜中の未結合手密度（ダングリング・ボンド密度）が大きく異なることがある。上記のウェット・エッチングや反応性ドライ・エッチングなどの化学反応に基づくエッチング加工法では、膜中の構造欠陥、とくにダングリング・ボンド密度に依存しており、すなわち、この様な構造欠陥部位を起点としてエッチングが進行する結果、ダングリング・ボンド密度が増すとともに、エッチング速度が速くなる。また、密度が低い薄膜では、原子間距離や結合角は最安定状態から歪んだ状態となっており、構造欠陥を起点とするエッチング促進と同様に機構によって、薄膜の密度が低いほど、エッチング速度は速くなる。

#### 【 0 0 2 5 】

本発明の半導体装置の製造工程に利用される、マルチオキサイド・プロセスの基本的形態に関して、エッチング速度が異なる 2 種類の高誘電率絶縁材料薄膜を利用する場合を例に採り、以下により詳しく説明する。図 1 に、本発明にかかるマルチオキサイド・プロセスの一連の工程を模式的に示す。本発明にかかるマルチオキサイド・プロセスの典型的な一例では、シリコン基板表面に、エッチング速度が異なる 2 種類の高誘電率絶縁材料薄膜の積層構造を形成する際、エッチング速度が遅い高誘電率絶縁材料膜を下層に、エッチング速度が速い高誘電率絶縁材料膜を上層となる順で、積層構造を成膜する。図 1 に示す例では、上層の高誘電率絶縁材料膜 A 1 0 3 は、下層の高誘電率膜絶縁材料 B 1 0 4 に比べて、エッチング速度が速い材料とされている。この積層構造を利用して、領域 1 1 0 5 には、ゲート絶縁膜の電氣的膜厚が薄いトランジスタ素子を、一方、領域 2 1 0 6 には、ゲート絶縁膜の電氣的膜厚が薄いトランジスタ素子を、同時に作製する場合、領域 2 1 0 6 をレジスト材料によってマスクした後、レジスト・マスク 1 0 7 を用いて、選択的なエッチング工程を実施する。その際、図 3 に模

式的に示したように、2種類の高誘電率絶縁材料A、Bの間でエッチング速度が異なるため、上層の高誘電率絶縁材料膜A 103がエッチングによって除去された後、露呈した下層の高誘電率絶縁材料膜B 104は緩やかにエッチングが進む。従って、エッチング時間を上層の高誘電率絶縁材料膜A 103の膜厚除去に必要な時間より、若干オーバー・エッチングされる時間に設定することで、上層の高誘電率絶縁材料薄膜A層のみを選択的に剥離（エッチング）することが可能である。

#### 【0026】

また、同一のシリコン基板上に、電気的膜厚の異なる3種類のゲート絶縁膜を有するトランジスタ素子の製造工程への適用例を以下に説明する。この場合、3種類の高誘電率絶縁材料薄膜A、B、Cを利用し、そのエッチング速度は、 $A > B > C$ の順で速い高誘電率絶縁材料を選択し、先ず、高誘電率絶縁材料薄膜Cを下層、高誘電率絶縁材料薄膜Bを中間層、高誘電率絶縁材料薄膜Aを上層とする、積層構造を形成する。領域1に、電気的膜厚の最も薄いゲート絶縁膜層を形成する場合には、領域2ならびに領域3をレジスト・マスクにて保護した後、領域1に対して、選択的なエッチングを施す。その際、領域1に形成するゲート絶縁膜層は、下層の高誘電率絶縁材料薄膜Cが表面に露呈する構成に選択する場合、このエッチング条件は、上層の高誘電率絶縁材料膜Aと高誘電率絶縁材料膜Bとを選択的にエッチング除去するのに適した、エッチング加工速度と時間とを選択する。

#### 【0027】

次いで、領域2に、中間膜厚のゲート絶縁膜層を形成する工程では、領域1と領域3（あるいは領域3のみ）をレジスト・マスクにて保護した後、領域2に対して、選択的なエッチングを施す。その際、領域2に形成するゲート絶縁膜層は、中間層の高誘電率絶縁材料薄膜Bがその表面に露呈する構成に選択する場合、このエッチング条件は、上層の高誘電率絶縁材料膜Aのみを選択的にエッチング除去するのに適した、エッチング加工速度と時間とを選択する。先の領域1に対する選択的エッチング工程では、中間層の高誘電率絶縁材料膜Bまでエッチングを行う必要があるが、この領域1に対する選択的エッチング工程では、エッチン

グ速度が最も速い、上層の高誘電率絶縁材料膜Aのみのエッチングを行うため、先の領域1に対する選択的エッチング工程におけるエッチング条件よりも穏やかな条件、例えば、ウェット・エッチングに用いる薬液濃度を薄くする、あるいは、反応性ドライ・エッチングに用いるラジカル密度を低くするなど、エッチング速度を抑えた条件を採用する。その穏やかな条件では、上層の高誘電率絶縁材料膜Aがエッチングによって除去された後、露呈した中間層の高誘電率膜絶縁材料Bに対しては、極めて緩やかにエッチングが進む。従って、エッチング時間を上層の高誘電率絶縁材料膜Aの膜厚除去に必要な時間より、若干オーバー・エッチングされる時間に設定することで、上層の高誘電率絶縁材料薄膜A層のみを選択的に剥離（エッチング）することが可能である。また、仮に、領域1にレジスト・マスクによる保護が施されてなくとも、その間に、露呈している下層の高誘電率絶縁材料薄膜Cに対するエッチングの進行は、更に僅かなものでしかなく、領域1におけるゲート絶縁膜の電氣的膜厚減少は、無視できる程度に抑制可能である。

#### 【 0 0 2 8 】

最終的に、領域3には、エッチングがなされておらず、高誘電率絶縁材料薄膜Cを下層、高誘電率絶縁材料薄膜Bを中間層、高誘電率絶縁材料薄膜Aを上層とする積層構造がそのまま残される。従って、この領域3には、最も電氣的膜厚の厚いゲート絶縁膜が形成されている状態となる。なお、上述する領域1、2、3に作製する、3種類のゲート絶縁膜の異なる目標電氣的膜厚に応じて、下層の高誘電率絶縁材料薄膜C、中間層の高誘電率絶縁材料薄膜B、上層の高誘電率絶縁材料薄膜Aについて、各高誘電率絶縁材料の誘電率に基づき、その膜厚を適宜設計することができる。具体的には、領域1と領域2における、ゲート絶縁膜の異なる目標電氣的膜厚に応じて、下層の高誘電率絶縁材料薄膜C、中間層の高誘電率絶縁材料薄膜Bについて、各高誘電率絶縁材料の誘電率に基づき、その膜厚を一義的に決定した後、領域3におけるゲート絶縁膜の目標電氣的膜厚を満足するように、上層の高誘電率絶縁材料薄膜Aの誘電率に基づき、その膜厚を一義的に選択することができる。

#### 【 0 0 2 9 】

本発明にかかる半導体装置の製造方法では、マルチオキサイド工程を利用して、同一のシリコン基板上に、トランジスタ素子用の電氣的膜厚の異なる複数種のゲート絶縁膜を作製する一連の工程では、一旦シリコン基板上に堆積された積層構造を有する高誘電率絶縁材料薄膜について、各層間の選択的エッチング除去により、その目標電氣的膜厚の選択を実施しているため、各素子領域のゲート絶縁膜膜厚の均一性・再現性を従来手法に比べて改善することが可能となる。加えて、その各選択的エッチング工程において、除去される高誘電率絶縁材料薄膜のエッチング速度と比較して、その後に露呈する直下層の高誘電率絶縁材料薄膜に対するエッチング速度は有意に遅くなる構成を選択する結果、各層毎の選択的なエッチング工程において、オーバー・エッチング時間を若干付加しても、直下層の高誘電率絶縁材料薄膜に対するエッチングは極僅しか進行しないため、プロセス・マージンを広く設定することができる。

#### 【 0 0 3 0 】

さらには、一旦シリコン基板上に積層構造を構成する複数種の高誘電率絶縁材料薄膜を順次堆積された後、各層毎の選択的なエッチング工程を実施するため、これら複数種のゲート絶縁膜の作製がなされる領域では、シリコン基板表面を覆う絶縁材料薄膜層が完全に剥離（エッチング除去）され、シリコン基板自体の表面が露呈する工程は含まず、従って、素子作製領域のシリコン基板とゲート絶縁膜との界面がエッチングやレジスト剥離工程において、汚染される問題が生じることも回避されている。加えて、上に説明した通り、複数種類の高誘電率絶縁材料膜の積層構造と複数回の選択的なエッチング工程によって、目標とする電氣的膜厚が異なる3種類以上のゲート絶縁膜を有するトランジスタを同一シリコン基板上に有する半導体装置の製造も可能となる。そのマルチオキサイド工程では、各工程自体の組み合わせは、簡便性に富み、また、全体工程の単純化に伴い、コスト面でも有利である。

#### 【 0 0 3 1 】

加えて、積層構造を構成する、エッチング速度の異なる連続する二つの薄膜層として、下層とその上層とに、同一の組成を有する高誘電率絶縁材料薄膜の結晶構造と非晶質構造とを選択し、その結晶性の違いに伴う、両者のエッチング速度

差を利用する場合、上述のマルチオキサイド工程における、各層毎の選択的なエッチング工程を終えた後、所望の温度での後熱処理あるいは結晶化工程を施すことで、非晶質構造の薄膜層の電気特性ならびに各層の界面特性を改善することができる。例えば、非晶質構造の薄膜層に対する結晶化処理が完了した場合には、上層の結晶化処理で得られる結晶構造層と、下層の元々の結晶構造層とは、特性上では、全く遜色の無い高誘電率絶縁材料膜となる。従って、非晶質構造の薄膜層有無のみに違いを有する二つの領域では、結晶化処理を終えた後には、互いに膜厚は異なるものの、その結晶構造の高誘電率絶縁材料薄膜層相互は、その組成ならびに結晶構造は、実質的に同一なものとなる。

### 【 0 0 3 2 】

さらに、上述のマルチオキサイド・プロセスを適用可能な半導体装置の構造、すなわち、異種の高誘電率絶縁材料膜に加えて、シリコン酸化膜や酸窒化膜を積層構造に加えた素子の動作を考えると、付加されるシリコン酸化膜や酸窒化膜は、下記するように、その装置全体の低消費電力化ならびに高速動作が要求されるデバイスの高性能化に寄与を有する。まず、低消費電力化、特に、ゲート絶縁膜のリーク電流成分低減に関しては、ゲート絶縁膜に利用する絶縁材料の高誘電率化による物理膜厚の増加に加えて、シリコン基板との界面においては、価電子帯および伝導帯側のバンド・オフセットが十分に大きいことが望ましい。一般に、絶縁材料の誘電率とバンドギャップとは負の相関にあり、高誘電率絶縁材料とシリコン基板との界面における、バンド・オフセットは小さくなることが知られている。本発明の半導体装置では、リーク電流低減の観点からは、バンドギャップの比較的広い高誘電率絶縁材料と、誘電率の高い絶縁材料とを組み合わせることで、シリコン基板との界面における、バンド・オフセットの低下を回避して、リーク電流をより効果的に抑制するゲート絶縁膜構造の設計が可能となる。より具体的には、バンドギャップの比較的広い高誘電率絶縁材料として、シリコン酸窒化膜やシリコン窒化膜を利用し、誘電率の高い絶縁材料として、後述する  $ZrO_2$  や  $HfO_2$  等を用い、両者を組み合わせた積層構造の利用も可能である。ないしは、シリコン基板との界面には、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜のいずれかが存在し、これらシリコン基板との親和性に優れ、か



つ大きなバンド・オフセットを与える絶縁材料を界面層として、引き続き、高誘電率絶縁材料の層が形成されている構造の利用も可能である。

【 0 0 3 3 】

また、上述の説明においては、高誘電率絶縁材料薄膜のみの積層構造を利用する例により、本発明の形態を説明したが、下地絶縁膜として、シリコン基板との界面にシリコン酸化膜や酸窒化膜を配置し、その上に高誘電率絶縁材料薄膜の積層構造を形成する形態も考えられる。この際、下地絶縁材料膜として、高誘電率絶縁材料薄膜とシリコン基板との界面へのシリコン酸化膜の挿入は、界面電気特性改善の観点から効果的であり、下地絶縁材料膜として、酸窒化膜の挿入は界面反応抑制に効果を発揮する。また同様の理由で、ゲートとして、ゲート絶縁膜上に設けるポリシリコンあるいはポリシリコンゲルマニウム電極（上部電極）と、ゲート絶縁膜構造の接合界面にシリコン酸化膜や酸窒化膜を挿入する構造も、上部電極からの電流注入効果を抑制する機能を有する。

【 0 0 3 4 】

加えて、半導体装置全体の回路設計の観点から、高誘電率絶縁材料薄膜とシリコン酸化膜あるいは酸窒化膜の積層構造の組み合わせも、多様な形態が考えられる。例えば、電氣的膜厚が薄い領域を高誘電率絶縁材料薄膜で構成することで、リーク電流を低減することが可能となるが、これまで指摘されているように、高誘電率絶縁材料薄膜は、シリコン酸化膜に比べて信頼性の問題や、膜中の固定電荷や界面欠陥に起因したデバイス応用上の課題が全て解決されているわけではない。従って、半導体装置を構成している個々の素子に合わせた、絶縁膜の最適な選択が必要となる。例えば、高い電流駆動能力と信頼性が要求される素子については、極薄のシリコン酸化膜や酸窒化膜を用いて、通常の素子設計基準を超えたリーク電流値を容認する一方で、その周辺回路を構成する素子では、高誘電率絶縁材料薄膜を採用することで、半導体装置全体としては、消費電力を大幅に抑制する構成も有効である。

【 0 0 3 5 】

従って、本発明の製造方法における、絶縁材料薄膜のエッチング工程では、異なる高誘電率絶縁材料薄膜あるいはシリコン酸化膜（酸窒化膜）間の選択エッチ

ングを実現するため、物理的な効果などを極力排除し、化学反応に基づいたウェット・エッチングやラジカル種を利用する反応性ドライ・エッチングを利用することが望ましい。特に、フッ酸溶液によるウェット・エッチングは、シリコン酸化膜（酸窒化膜）のみならず、多くの高誘電率絶縁材料薄膜のエッチングに適用可能であり、高誘電率絶縁材料の構成元素や組成、さらには結晶構造に依存して、そのエッチング速度が顕著に変化する。また、ドライ・エッチング方法では、高エネルギー・イオン照射に伴うスパッタリングの効果を排除した、ラジカル種との化学反応は主なエッチング機構であるエッチング加工手段、例えば、ラジカル種との反応による反応性ドライ・エッチング法を採用することが効果的である。また、高い制御性で選択エッチングを実現するためには、より早いエッチング速度を示す上層に対するエッチング速度は、毎秒数Å程度の条件を選択することが好ましい。同時に、より遅いエッチング速度を示す下層に対するエッチング速度は、前記のエッチング速度の $1/10 \sim 1/100$ となる条件を選択することが好ましい。

## 【 0 0 3 6 】

本発明を実施するにあたり、利用される高誘電率絶縁材料としては、 $ZrO_2$ 、 $HfO_2$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 、 $Nb_2O_5$ 、ならびに、希土類元素の酸化物である $Sc_2O_3$ 、 $Y_2O_3$ 、あるいは、ランタノイド系元素の酸化物である $La_2O_3$ 、 $CeO_2$ 、 $Pr_2O_3$ 、 $Nd_2O_3$ 、 $Sm_2O_3$ 、 $Eu_2O_3$ 、 $Gd_2O_3$ 、 $Tb_2O_3$ 、 $Dy_2O_3$ 、 $Ho_2O_3$ 、 $Er_2O_3$ 、 $Tm_2O_3$ 、 $Yb_2O_3$ 、 $Lu_2O_3$ 、さらには、これら金属酸化物に由来するシリケート材料が挙げられる。また、これらの高誘電率絶縁材料薄膜のエッチング速度を変化させる添加元素には、窒素やフッ素などの軽元素が利用可能である。

## 【 0 0 3 7 】

また、上述の例では、高誘電率絶縁材料薄膜中の構成元素や組成ならびに結晶構造の相違に起因する、エッチング速度の差異を利用した積層構造について、既に説明したが、高誘電率絶縁材料率膜中、膜厚方向で、その組成が連続的に変化する（変調された）構造でも、エッチング速度の差異が得られ、同様な選択エッチングの効果が得られる。その際、急峻な組成変化を有する積層構造に比べて、膜

厚方向に組成変調を有する高誘電率絶縁材料薄膜では、エッチング速度の変化も連続的となり、選択エッチング時のプロセス・マージンが相対的に狭くなる、あるいは、選択エッチング加工後に得られる高誘電率絶縁材料膜の残留膜厚の均一性・再現性が、積層構造に比べて、若干劣る傾向があるなど、プロセス上、より高い制御性を必要とする制約はあるものの、高誘電率絶縁材料膜中の組成を連続的に変調することで、膜中ならびに接合界面の電気特性を改善する効果をもたらすことができる。

## 【 0 0 3 8 】

## 【実施例】

以下に実施例を挙げて、本発明をより具体的に説明する。なお、これら実施例は、本発明にかかる半導体装置、すなわち、高誘電率絶縁材料薄膜の積層構造を利用して、マルチオキサイド・プロセスによって、同一シリコン基板上に作製されている、電氣的膜厚の異なる複数種類のゲート絶縁膜を有するトランジスタを含んでなる半導体装置ならびにその製造方法の発明に関する最良の実施形態の一例ではあるものの、本発明はかかる実施例によって、限定されるものではない。

## 【 0 0 3 9 】

## (実施例 1)

図 4 に、本発明の第一の実施例にかかる半導体装置の製造工程の概要を示す。図 4 に示す半導体装置では、電氣的膜厚の異なる複数種類のゲート絶縁膜の作製するため、 $ZrO_2$  404 と Zr シリケート ( $ZrSiO_4$ ) 405 とから構成される 2 種類の高誘電率絶縁材料薄膜の積層構造を利用している。なお、図 4 に示す半導体装置において、各トランジスタは、LDD 構造を形成する上で使用される、ゲート電極 409 に付随するサイドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

## 【 0 0 4 0 】

図 4 の (a) には、シリコン基板 401 表面に作製する二種のトランジスタの形成領域 1 406、領域 2 407 として、素子分離酸化膜 402 により分割される領域を示す。まず、シリコン基板を洗浄後、領域 1 406、領域 2 407 の表面に、膜厚 0.5 nm の熱酸化膜 (シリコン酸化膜) 403 を形成する

。このシリコン酸化膜403は、下地絶縁膜層として、シリコン基板401と後述の $ZrO_2$ 薄膜404との界面熱安定性と電気特性を改善する目的で挿入されている。シリコン酸化膜403表面に、 $ZrCl_4$ と $H_2O$ とを原料として、CVD (Chemical Vapor Deposition) 法によって、結晶構造を有した膜厚2.5 nmの $ZrO_2$ 薄膜404を堆積する。引き続き、前記のCVD成膜条件に、 $Si_2H_6$ 原料ガスを添加して、膜厚6 nmのZrシリケート( $ZrSiO$ )薄膜405を堆積して、 $ZrSiO/ZrO_2/SiO_2$ 積層構造を作製する。なお、 $ZrO_2$ 薄膜404上に堆積されるZrシリケート薄膜405は、非晶質構造を有している。

#### 【0041】

図4の(b)には、領域1 406上のZrシリケート薄膜405のみを選択的にエッチング除去する工程に利用するレジスト・マスク408を示す。レジスト・マスク408は、領域2 407の表面を保護し、領域1 406上に開口部を有している。このレジスト・マスク408を利用して、希釈フッ酸溶液にてZrシリケート膜405のエッチングを実施する。Zrシリケート膜405のエッチング速度は、結晶 $ZrO_2$ 膜404のエッチング速度の約100倍であり、例えば、エッチング時間を、Zrシリケート膜に対して、膜厚12 nmのエッチング量が達成される時間、すなわち、200%のオーバー・エッチング時間を設定した際にも、露呈した $ZrO_2$ 膜404に対するエッチング量は、高々0.06 nmにしか達せず、図3に例示するような、理想的な選択エッチングを実現できる。

#### 【0042】

図4の(c)には、前記の領域1 406に対する選択的エッチング工程を終了した後、レジスト・マスク408を剥離除去した状態を示す。このレジスト剥離後、非晶質構造のZrシリケート膜405に対して、その膜質改善のために、窒素雰囲気中700℃にて後熱処理を実施する。結果的に、領域1 406には、 $ZrO_2/SiO_2$ 積層構造のゲート絶縁膜が、一方、領域2 407には、膜質改善された $ZrSiO/ZrO_2/SiO_2$ 積層構造のゲート酸化膜が形成されている。

## 【0043】

図4の(d)には、その後、従来工程に従って作製される、ポリシリコンゲート電極409、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す(詳細プロセスについては省略)。また、ポリシリコンゲート電極409上には、かかるプロセスに用いるシリサイド層410が残されている。

## 【0044】

本実施例1において作製される半導体装置において、領域1 406に作製されるトランジスタでは、ゲート絶縁膜は、 $ZrO_2/SiO_2$ 積層構造の薄い電気的膜厚であり、領域2 407に作製されるトランジスタでは、ゲート絶縁膜は、膜質改善された $ZrSiO/ZrO_2/SiO_2$ 積層構造の比較的厚い電気的膜厚とされている。それぞれのゲート絶縁膜について、シリコン酸化膜に換算した電気的な膜厚(酸化膜換算膜厚)とリーク電流値を実測した結果、領域1 406の薄層領域では、酸化膜換算膜厚1.0nm、リーク電流 $2A/cm^2$ (1V印加時)であり、領域2 407の厚膜領域では、酸化膜換算膜厚3.0nm、リーク電流 $10^{-10}A/cm^2$ 未満(1V印加時)であり、同等の酸化膜換算膜厚を有する、従来のシリコン酸化膜を用いた場合に比べて、3~4桁以上のリーク電流低減効果が実現できている。

## 【0045】

また、同一シリコン基板内に作製されている、各領域内の素子について、デバイス特性からそれぞれのゲート絶縁膜の膜厚バラツキを評価した結果、従来のマルチオキサイド工程で形成した場合に比べて、絶縁膜の膜厚バラツキを半分以下に低減することができている。さらには、上記の製造工程では、積層構造を作製した後、シリコン基板表面が露出する工程が無い場合、ゲート絶縁膜層とシリコン基板界面の汚染に伴う界面欠陥の発生(界面固定電荷)、ならびに界面欠陥の前駆体の発生を抑制することができおり、作製された素子を長時間使用する際の信頼性を改善することができている。

## 【0046】

(実施例2)

図 5 に、本発明の第二の実施例にかかる半導体装置の製造工程の概要を示す。図 5 に示す半導体装置では、電氣的膜厚の異なる複数種類のゲート絶縁膜の作製するため、(結晶)  $ZrO_2$  504 と (非晶質)  $ZrO_2$  505 とから構成される 2 種類の高誘電率絶縁材料薄膜の積層構造を利用している。なお、図 5 に示す半導体装置においても、各トランジスタは、LDD 構造を形成する上で使用される、ゲート電極 510 に付随するサイドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

## 【0047】

図 5 の (a) には、シリコン基板 501 表面に作製する二種のトランジスタの形成領域 1 506、領域 2 507 として、素子分離酸化膜 502 により分割される領域を示す。まず、シリコン基板を洗浄後、領域 1 506、領域 2 507 の表面に、膜厚 0.5 nm の熱酸化膜 (シリコン酸化膜) 503 を形成する。このシリコン酸化膜 503 は、下地絶縁膜層として、シリコン基板 501 と後述の  $ZrO_2$  薄膜 504 との界面熱安定性と電気特性を改善する目的で挿入されている。シリコン酸化膜 503 表面に、 $ZrCl_4$  と  $H_2O$  とを原料として、CVD 法によって、結晶構造を有した膜厚 2.5 nm の  $ZrO_2$  薄膜 504 を堆積する。引き続き、前記の CVD 成膜  $ZrO_2$  膜 504 上に、 $ZrO_2$  ターゲットを用いたスパッタリング法によって、膜厚 12.0 nm の  $ZrO_2$  膜 505 を成膜する。なお、このスパッタ成膜工程において、基板温度を室温として実施する場合、成膜される膜の組成は、化学量論的な  $ZrO_2$  組成を有するものの、膜構造は、非晶質あるいは数 nm スケールの微結晶からなる。

## 【0048】

図 5 の (b) には、領域 1 506 上のスパッタ成膜の非晶質  $ZrO_2$  膜 505 のみを選択的にエッチング除去する工程に利用するレジスト・マスク 508 を示す。レジスト・マスク 508 は、領域 2 507 の表面を保護し、領域 1 506 上に開口部を有している。このレジスト・マスク 508 を利用して、希釈フッ酸溶液にて非晶質  $ZrO_2$  膜 505 のエッチングを実施する。非晶質  $ZrO_2$  膜 505 のエッチング速度は、結晶  $ZrO_2$  膜 504 のエッチング速度の 10～100 倍であり、例えば、エッチング時間を、非晶質  $ZrO_2$  膜に対して、膜厚 1

2 nmのエッチング量が達成される時間を満たし、オーバー・エッチング時間が不要に長くないように制御することで、露呈した結晶 $ZrO_2$ 膜504に対するエッチング量は、無視できる量に抑えることができ、良好な選択的エッチングが可能である。

## 【0049】

図5の(c)には、前記の領域1 506に対する選択的エッチング工程を終了した後、レジスト・マスク508を剥離除去した状態を示す。このレジスト剥離後、非晶質 $ZrO_2$ 膜505に対して、その膜質改善のために、窒素雰囲気中700℃にて後熱処理を実施する。この熱処理によって、領域2 507では、残された非晶質 $ZrO_2$ 層の結晶化が進行する。その結果、領域2 507では、結晶化された $ZrO_2/ZrO_2/SiO_2$ 積層構造のゲート酸化膜が形成され、最終的に、結晶化された $ZrO_2$ 膜とCVD成膜の結晶 $ZrO_2$ 膜504とは、実質的に結晶構造に差異がなくなり、単層状の厚膜の $ZrO_2$ 膜509を構成する。

## 【0050】

図5の(d)には、その後、従来工程に従って作製される、ポリシリコンゲート電極510、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す(詳細プロセスについては省略)。また、ポリシリコンゲート電極510上には、かかるプロセスに用いるシリサイド層511が残されている。

## 【0051】

本実施例2において作製される半導体装置において、領域1 506に作製されるトランジスタでは、ゲート絶縁膜は、 $ZrO_2/SiO_2$ 積層構造の薄い電氣的膜厚であり、領域2 507に作製されるトランジスタでは、ゲート絶縁膜は、単層状の $ZrO_2/SiO_2$ 積層構造の比較的厚い電氣的膜厚とされている。それぞれのゲート絶縁膜について、シリコン酸化膜に換算した電氣的な膜厚(酸化膜換算膜厚)とリーク電流値を実測した結果、領域1 506の薄層領域では、酸化膜換算膜厚1.0 nm、リーク電流 $2 A/cm^2$ (1 V印加時)であり、領域2 507の厚膜領域では、酸化膜換算膜厚3.4 nm、リーク電流 $10^{-11}$

A/cm<sup>2</sup>未満（1 V印加時）となっている。

【0052】

また、同一シリコン基板内に作製されている、各領域内の素子について、デバイス特性からそれぞれのゲート絶縁膜の膜厚バラツキを評価した結果、上述する実施例1と同様に、従来のマルチオキサイド工程で形成した場合に比べて、絶縁膜の膜厚バラツキを抑えることができている。さらには、上記の製造工程でも、積層構造を作製した後、シリコン基板表面が露出する工程が無く、ゲート絶縁膜における、界面ラフネス、膜中およびシリコン基板との界面欠陥に起因する電気特性の劣化を抑え、作製された素子の信頼性を改善することができている。特に、本実施例2でも、領域2 507において、ゲート絶縁膜中の非晶質部分の結晶化が進んで、ZrO<sub>2</sub>単層となるため、異種材料からなる高誘電率絶縁材料薄膜の積層構造を採用した場合に比べて、界面電氣的欠陥の総量を低減することが可能である。

【0053】

（実施例3）

図6に、本発明の第三の実施例にかかる半導体装置の製造工程の概要を示す。図6に示す半導体装置では、電氣的膜厚の異なる複数種類のゲート絶縁膜の作製するため、SiON（シリコン酸窒素化膜）604とZrSiO（Zrシリケート膜）605とから構成される2種類の高誘電率絶縁材料薄膜の積層構造を利用している。なお、図6に示す半導体装置においても、各トランジスタは、LDD構造を形成する上で使用される、ゲート電極608に付随するサイドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

【0054】

図6の（a）には、シリコン基板601表面に作製する二種のトランジスタの形成領域1 605、領域2 606として、素子分離酸化膜602により分割される領域を示す。まず、シリコン基板を洗浄後、領域1 605、領域2 606の表面に、膜厚1.5 nmの熱酸化膜（シリコン酸化膜）を形成する。このシリコン酸化膜表面を、窒素ガス・プラズマで生成したラジカル窒素原子に曝すことで窒化処理を施す。多くの場合、シリコン酸化膜の窒化処理によって形成さ



れるラジカル酸窒膜では、ラジカル照射時の窒化反応が進み、高誘電率化が進行すると同時に、その窒化部分で物理膜厚は増加するものの、本実施例 3 では、プラズマ条件と窒化条件を最適化する（窒素圧： $5 \times 10^{-4}$  Torr、RF 出力：50 W）ことで、酸化膜換算膜厚を 1.5 nm に維持したままで、シリコン酸窒化膜（SiON）603 に変換し、シリコン酸化膜に比べて、リーク電流値を約 1.5 桁低減することができる。その後、シリコン酸窒化膜 603 上に、実施例 1 に記載する手法に準じて、CVD 法によって膜厚 10.0 nm の ZrSiO 膜 604 を成膜して、ZrSiO/SiON 積層構造を作製する。

## 【0055】

図 6 の（b）には、領域 1 605 上の CVD 成膜の ZrSiO 膜 604 のみを選択的にエッチング除去する工程に利用するレジスト・マスク 607 を示す。レジスト・マスク 607 は、領域 2 606 の表面を保護し、領域 1 605 上に開口部を有している。このレジスト・マスク 607 を利用して、希釈フッ酸溶液にて ZrSiO 膜 604 のエッチングを実施する。ZrSiO 膜 604 のエッチング速度は、SiON 膜 603 のエッチング速度の約 100 倍であり、例えば、エッチング時間を、ZrSiO 膜に対して、膜厚 10 nm のエッチング量が達成される時間を満たし、オーバー・エッチング時間が不要に長くないように制御することで、露呈した SiON 膜 603 に対するエッチング量は、無視できる量に抑えることができ、良好な選択的エッチングが可能である。

## 【0056】

図 6 の（c）には、前記の領域 1 605 に対する選択的エッチング工程を終了した後、レジスト・マスク 607 を剥離除去した状態を示す。このレジスト剥離後、非晶質の ZrSiO 膜 604 に対して、その膜質改善のために、窒素雰囲気中 700℃にて後熱処理を実施する。この熱処理によって、領域 2 606 では、膜質改善された ZrSiO/SiON 積層構造のゲート酸化膜が形成される。

## 【0057】

図 6 の（d）には、その後、従来工程に従って作製される、ポリシリコンゲート電極 608、ならびに付随するサイドウォールを利用して、イオン打ち込みに

より、ソースとドレインの形成を行って、トランジスタを作製した状態を示す（詳細プロセスについては省略）。また、ポリシリコンゲート電極608上には、かかるプロセスに用いるシリサイド層609が残されている。

## 【0058】

本実施例3において作製される半導体装置において、各々のゲート絶縁膜の電気特性を評価したところ、領域1 605に作製されるトランジスタでは、ゲート絶縁膜はSiON膜のみとなり、選択エッチング工程による膜厚減少は無視できる量であり、上述の電気特性（酸化膜換算膜厚1.5nm）を維持している。一方、領域2 606に作製されるトランジスタでは、ゲート絶縁膜は、膜質改善されたZrSiO<sub>2</sub>/SiON積層構造であり、シリコン酸化膜に換算した電気的な膜厚（酸化膜換算膜厚）とリーク電流値を実測した結果、領域2 606の厚膜領域では、酸化膜換算膜厚4.0nm、リーク電流 $10^{-11}$ A/cm<sup>2</sup>未満（1V印加時）となっている。

## 【0059】

本実施例3の半導体装置の構造では、領域1 605に作製した電流駆動能力を向上した素子の消費電力は、実施例1や実施例2における領域1の素子と比べて高くなるが、ゲート絶縁膜にSiON膜を採用していることで、多くの高誘電率絶縁膜で問題となっている膜中の固定電荷や界面欠陥の発生を抑制できる。さらには、実施例1や実施例2のZrO<sub>2</sub>/SiO<sub>2</sub>積層構造のゲート絶縁膜を利用する構造に比べて信頼性が向上する。

## 【0060】

## （実施例4）

本発明の第四の実施例として、図4に示す、上記実施例1に記載するZrSiO<sub>2</sub>/ZrO<sub>2</sub>積層構造に代えて、ZrAlO<sub>2</sub>/ZrO<sub>2</sub>積層構造を採用して、実施例1に記載する工程に準じて、半導体装置を作製する。

## 【0061】

シリコン基板表面において、作製する二種のトランジスタの形成領域1、領域2は、素子分離酸化膜により相互の分割がなされている。この領域1、領域2に対して、シリコン基板を洗浄後、スパッタリング法によって、膜厚4nmのZr

$\text{O}_2$ 膜を成膜する。引き続き、 $\text{ZrO}_2$ 膜上に、 $\text{ZrAlO}_2$ ターゲットを用いたスパッタリング法によって、Alを添加した $\text{ZrO}_2$ 膜( $\text{ZrAlO}_2$ )を成膜して、 $\text{ZrAlO}_2/\text{ZrO}_2$ 積層構造を作製する。スパッタリング法によって、作製される $\text{ZrO}_2$ 膜とAlを添加した $\text{ZrO}_2$ ( $\text{ZrAlO}_2$ )膜は、ともに非晶質構造であるが、Alの添加は $\text{ZrO}_2$ 薄膜の結晶化抑制に効果的であり、かかる積層構造を窒素中600℃で熱処理すること、下層の $\text{ZrO}_2$ 膜のみに選択的に結晶化を促進する。

## 【0062】

非晶質構造を保った $\text{ZrAlO}_2$ 膜に対する希釈フッ酸溶液によるエッチング速度は、結晶化された $\text{ZrO}_2$ 膜に対するエッチング速度の約10倍であり、上述する実施例1と同様に、レジスト・マスクを利用し、領域1の $\text{ZrAlO}_2$ 膜のみを選択的にエッチング除去する。次いで、レジスト・マスクを剥離して、領域1では、結晶 $\text{ZrO}_2$ 膜からなるゲート絶縁膜が、領域2では、 $\text{ZrAlO}_2/\text{ZrO}_2$ 積層構造からなるゲート絶縁膜がそれぞれ形成される。

## 【0063】

以降の工程では、実施例1に記載する工程に準じて、ゲート電極、ソース／ドレイン領域の形成を行って、トランジスタを作製する。本実施例4の領域1、2における、膜厚の異なるこれらの高誘電率絶縁材料膜で構成されるゲート絶縁膜についても、上記の実施例1と同様に、同一基板内でのゲート絶縁膜の膜厚均一性、ならびにその電気特性の改善がなされる。

## 【0064】

## (実施例5)

図7に、本発明の第五の実施例にかかる半導体装置の製造工程の概要を示す。図7に示す半導体装置では、電気的膜厚の異なる複数種類のゲート絶縁膜の作製するため、下地の熱酸化膜(シリコン酸化膜)704上に蒸着した金属Zr膜704を酸素雰囲気下熱処理して作製した、膜厚方向に組成変調がなされている $\text{ZrO}_2$ ( $\text{ZrSiO}$ )膜707で構成される積層構造を利用している。なお、図7に示す半導体装置においても、各トランジスタは、LDD構造を形成する上で使用される、ゲート電極710に付随するサイドウォールなど、素子構造の詳細

は図中では説明の簡略化の目的で省略されている。

#### 【0065】

図7の(a)には、シリコン基板701表面に作製する二種のトランジスタの形成領域1 705、領域2 706として、素子分離酸化膜702により分割される領域を示す。まず、シリコン基板を洗浄後、領域1 705、領域2 706の表面に、膜厚1.0nmの熱酸化膜(シリコン酸化膜)703を形成する。このシリコン酸化膜703表面上に、真空蒸着法によって、基板温度を室温として膜厚3nmの金属Zr膜704を堆積する。

#### 【0066】

その後、1Torrの減圧酸素雰囲気中、600℃で後熱処理を施すことで、金属Zr膜の酸化処理によって、膜厚方向に組成変調がなされている $ZrO_2$ ( $ZrSiO$ )膜707に変換される。具体的には、シリコン基板701との界面では酸化反応が進行して、 $SiO_2$ 膜の増膜がなされると同時に、シリコン酸化膜703の上面、 $ZrO_2/SiO_2$ 界面においては、生成する $ZrO_2$ のシリケート化が起きる。結果的には、 $ZrO_2(ZrSiO)/SiO_2$ の積層構造が形成される。図7の(b)には、前記の酸化雰囲気下の熱処理で形成される $ZrO_2(ZrSiO)/SiO_2$ の積層構造と、かかる積層構造中の金属元素Zrの含有率変化(組成変調)を模式的に示す。

#### 【0067】

この金属Zr膜の熱的な酸化処理により生成する $ZrO_2$ 膜は非晶質であり、希釈フッ酸溶液による、この $ZrO_2$ 膜のエッチング速度は、シリコン基板との界面に生成される $SiO_2$ 膜のエッチング速度に比べて、約100倍である。加えて、膜厚方向に組成変調がなされている $ZrO_2(ZrSiO)$ 膜707では、表面の $ZrO_2$ から下層の $SiO_2$ 膜との界面近傍のシリケート( $ZrSiO$ )へと連続的に組成変化が進むとともに、エッチング速度も連続的に低下している。

#### 【0068】

図7の(c)には、領域1 705上の $ZrO_2(ZrSiO)$ 膜707のみに選択的にエッチング除去する工程を施す際に利用するレジスト・マスク708

を示す。レジスト・マスク 708 は、領域 2 706 の表面を保護し、領域 1 705 上に開口部を有している。このレジスト・マスク 708 を利用して、希釈フッ酸溶液にて組成変調がなされている  $ZrO_2$  ( $ZrSiO$ ) 膜 707 のエッチングを実施する。この膜厚方向に組成変調がなされている  $ZrO_2$  ( $ZrSiO$ ) 膜 707 では、表面の  $ZrO_2$  から下層の  $SiO_2$  膜との界面近傍のシリケート ( $ZrSiO$ ) へと連続的に組成変化が進むとともに、エッチング速度も連続的に低下しているものの、エッチング時間を、目標とする  $ZrO_2$  ( $ZrSiO$ ) 膜の除去に必要なエッチング量が達成される時間を満たし、オーバー・エッチング時間が不要に長くならないように制御することで、露呈した  $SiO_2$  膜、具体的には、表面に微量の  $Zr$  を含んだ  $SiO_2$  層領域を有する  $SiO_2$  膜 709 に対するエッチング量は、無視できる量に抑えることができ、良好な選択的エッチングが可能である。

## 【0069】

図 7 の (d) には、前記の領域 1 705 に対する選択的エッチング工程を終了した後、レジスト・マスク 708 を剥離除去した状態を示す。その際、領域 1 705 では、組成が連続的に変化する  $Zr$  を含んだ  $SiO_2$  ( $ZrSiO$ ) /  $SiO_2$  膜 709 からなるゲート絶縁膜が、領域 2 706 では、膜厚方向に組成変調がなされている  $ZrO_2$  ( $ZrSiO$ ) /  $SiO_2$  の積層構造からなるゲート絶縁膜がそれぞれ形成されている。すなわち、領域 1 705 のゲート絶縁膜ですら、シリコン基板との界面では、 $SiO_2$  組成であるものの、その上に存在する絶縁膜は、 $Zr$  の含有によって、高誘電率絶縁材料として利用できるものとなる。

## 【0070】

図 7 の (e) には、その後、従来工程に従って作製される、ポリシリコンゲート電極 710、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す（詳細プロセスについては省略）。また、ポリシリコンゲート電極 710 上には、かかるプロセスに用いるシリサイド層 711 が残されている。本実施例 5 の領域 1、2 における、膜厚の異なるこれらの高誘電率絶縁材料膜で構成されるゲート

絶縁膜についても、シリコン基板界面に近づくに従ってZr組成が低くなり界面付近ではSiO<sub>2</sub>組成となっており、上記の実施例1と同様に、同一基板内でのゲート絶縁膜の膜厚均一性、ならびにその電気特性の改善がなされる。

上記の実施例では、高誘電率絶縁材料として、ZrO<sub>2</sub>やZrSiO薄膜を利用する例を示しているが、図2に示した膜性状の違いに付随するエッチング速度の差異に関する傾向は、ゲート絶縁膜の候補材料となる、多くの高誘電率絶縁材料についても当てはまる。従って、各高誘電率絶縁材料薄膜の熱安定性やフッ酸溶液に対するエッチング特性に構成する金属元素ごとの違いはあるものの、結晶構造や組成（異種元素の添加を含む）の差異に起因するエッチング速度差を利用する選択的エッチング工程を採用するマルチオキサイド・プロセスとすることが可能である。また、エッチング方法については、加工損傷の観点からウェット・エッチング法の利用が好ましいが、ドライ・エッチング法を採用することも可能である。ドライ・エッチング法を利用する際、加速したイオン照射による物理的なスパッタリング機構に基づいたエッチング法では、上述の結晶構造や組成（異種元素の添加を含む）の差異に起因するエッチング速度差は顕著でなく、選択的エッチングを期待できない。従って、かかるスパッタリング機構に寄与する、高エネルギーイオン成分を排除した条件でのドライ・エッチング法を利用することが好ましい。具体的には、スパッタリング機構ではなく、高周波放電によってCF系ガスプラズマから取り出したフッ素ラジカルとの反応を用いた、反応性ドライ・エッチング法を利用することが有効である。

#### 【0071】

一方、上述の第二の実施例では、成膜法と基板温度の制御によって、結晶構造（非晶質／結晶）の異なる高誘電率絶縁材料膜の積層構造を形成しているが、同じ非晶質材料でも、その成膜時の基板温度を変化させることで、膜密度や膜中のダングリング密度の異なる非晶質材料とすることもでき、それら薄膜の積層構造を形成することも可能である。例えば、図8に、スパッタ法で堆積されるZrO<sub>2</sub>薄膜について、そのスパッタ堆積時の基板温度と、膜密度ならびにダングリング・ボンド密度の関係を模式的に示す。スパッタ堆積時の基板温度が低くなると

ともに、次第に、得られる堆積膜試料の膜密度は低く、ダングリング・ボンド密度は高くなる。これら膜密度ならびにダングリング・ボンド密度に差異がある非晶質 $ZrO_2$ 膜に関して、フッ酸溶液に対するエッチング速度を調べると、膜密度が低く、対応して、ダングリング・ボンド密度が高くなるとともに、エッチング速度は速くなる。すなわち、スパッタ堆積時の基板温度が低い、非晶質 $ZrO_2$ 膜の方が、フッ酸溶液によるエッチング速度は速い。このエッチング速度差を利用して、スパッタ法で非晶質 $ZrO_2$ を成膜する際、高温で堆積した $ZrO_2$ 膜上に、成膜温度を低くした条件で堆積した $ZrO_2$ 膜を積層する構造とすることで、上記の実施例 2 と同様な選択的エッチング工程を利用したマルチオキサイド・プロセスを実現することも可能である。

## 【 0 0 7 2 】

## 【発明の効果】

本発明の半導体装置は、電気的な膜厚の異なるゲート絶縁膜を有する複数種類のトランジスタを利用する半導体装置において、この半導体装置に含まれる少なくとも二種のトランジスタは、同一のシリコン基板上に形成され、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタとする際、一方のトランジスタでは、ゲート絶縁膜中に少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を含むものとし、他のトランジスタでは、ゲート絶縁膜中に第一の高誘電率絶縁材料からなる第一の絶縁膜に加えて、さらに、第二の高誘電率絶縁材料からなる第二の絶縁膜を含む積層構造と有するものとする、両者のゲート絶縁膜は、利用する第一の高誘電率絶縁材料と第二の高誘電率絶縁材料の誘電率と、その膜厚を適宜選択することで、目標とする電気的膜厚が互いに異なるものとする。さらに、本発明の半導体装置の製造方法は、かかる素子構成を採用することに伴い、両者のゲート絶縁膜で共通している第一の高誘電率絶縁材料からなる第一の絶縁膜を形成した後、ゲート絶縁膜下のシリコン基板表面を露出することなく、以降のプロセスを実施でき、マルチオキサイド・プロセスにおけるウエハー汚染の抑制に効果を有する。例えば、そのマルチオキサイド・プロセスにおいて利用する、高誘電率絶縁材料からなる絶縁膜複数を含む積層構造を、構成元素や組成、あるいは結晶構造が異なる複数種の高誘電率絶縁材料の薄膜を積層したものと

し、エッチング速度差を利用して、各高誘電率絶縁材料の薄膜を選択的にエッチング除去する工程とでき、工程の簡便化がなされ、再現性に優れたマルチオキサイド・プロセスを達成できる。この本発明の半導体装置の製造方法は、ゲート絶縁膜下のシリコン基板表面の汚染を回避することで、ゲート絶縁膜の電気特性劣化を防止し、同時に、選択的にエッチング工程における不要なオーバー・エッチング量の抑制に有効であり、ゲート絶縁膜の膜厚は、基板面内均一性に優れたものとなる。加えて、積層構造とする複数種の高誘電率絶縁材料薄膜の組み合わせに関して、各高誘電率絶縁材料の有するバンドギャップと誘電率を参照して、シリコンと間でのバンド・オフセットを大きくなる絶縁材料を、ゲート絶縁膜下のシリコン基板との界面に配する組み合わせとすることで、リーク電流低減に寄与するゲート絶縁膜構成の最適化が可能となる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の半導体装置の製造工程中、高誘電率絶縁材料からなる絶縁膜複数を含む積層構造を利用する基本的なマルチオキサイド・プロセスを模式的に示す図である。

##### 【図 2】

構成元素や組成ならびに結晶構造の違いに伴う、高誘電率絶縁材料のエッチング速度の相違における一般的な傾向を模式的に示す図である。

##### 【図 3】

エッチング速度の異なる、高誘電率絶縁材料薄膜の積層構造に対する、エッチング速度差を利用する選択的エッチング過程を模式的に示す図である。

##### 【図 4】

本発明の半導体装置の製造方法を適用し、 $ZrSiO_4/ZrO_2/SiO_2$  積層構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第一の実施例の半導体装置を作製する工程を模式的に示す断面図である。

##### 【図 5】

本発明の半導体装置の製造方法を適用し、非晶質  $ZrO_2$  / 結晶  $ZrO_2$  /  $SiO_2$  積層構造に対する選択的エッチング工程を含むマルチオキサイド・プロセス



によって、第二の実施例の半導体装置を作製する工程を模式的に示す断面図である。

【図 6】

本発明の半導体装置の製造方法を適用し、 $ZrSiO/SiON$  積層構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第三の実施例の半導体装置を作製する工程を模式的に示す断面図である。

【図 7】

本発明の半導体装置の製造方法を適用し、膜厚方向に組成変調を有する  $ZrO_2$  膜 ( $ZrSiO$  膜) 構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第五の実施例の半導体装置を作製する工程を模式的に示す断面図である。

【図 8】

高誘電率絶縁材料を成膜する際、成膜中の基板温度変化に起因する、高誘電率絶縁材料膜の膜密度ならびに膜中のダングリング・ボンド密度の典型的な変化を模式的に説明する図である。

【符号の説明】

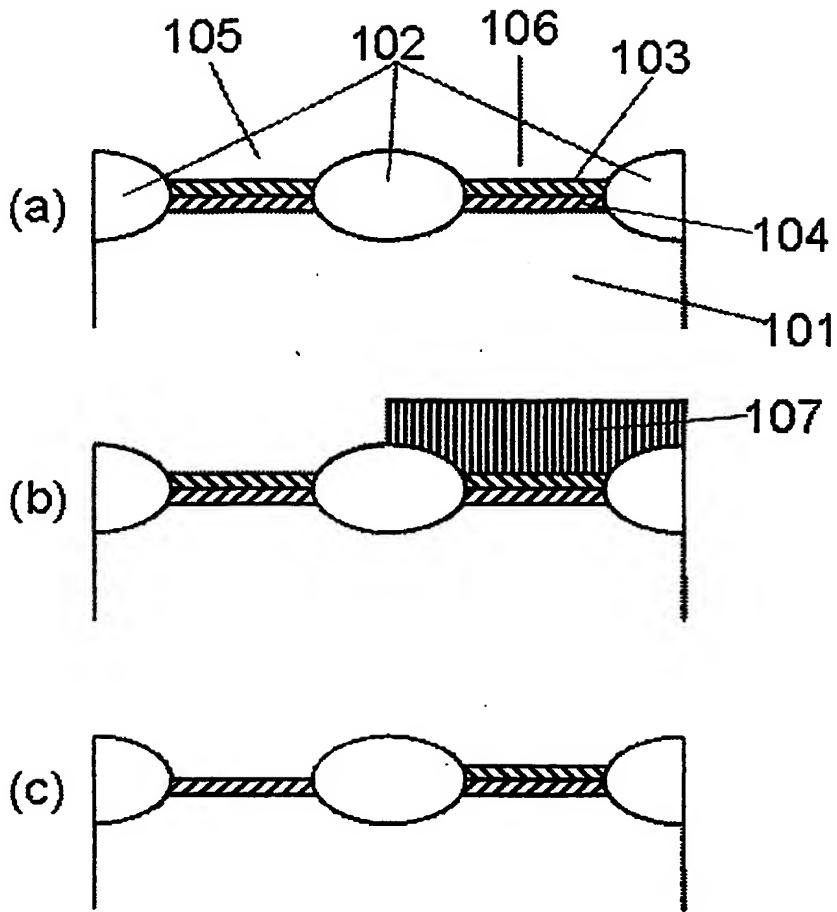
- 101 シリコン基板
- 102 素子分離酸化膜
- 103 高誘電率絶縁材料薄膜 A (エッチング速度大)
- 104 高誘電率絶縁材料薄膜 B (エッチング速度小)
- 105 領域 1
- 106 領域 2
- 107 レジスト・マスク
- 401 シリコン基板
- 402 素子分離酸化膜
- 403 シリコン酸化膜
- 404  $ZrO_2$  膜層
- 405  $ZrSiO$  膜層
- 406 領域 1

- 4 0 7 領域 2
- 4 0 8 レジスト・マスク
- 4 0 9 ゲート電極
- 4 1 0 シリサイド層
- 5 0 1 シリコン基板
- 5 0 2 素子分離酸化膜
- 5 0 3 シリコン酸化膜
- 5 0 4 結晶  $ZrO_2$  膜層
- 5 0 5 非晶質  $ZrO_2$  膜層
- 5 0 6 領域 1
- 5 0 7 領域 2
- 5 0 8 レジスト・マスク
- 5 0 9 結晶  $ZrO_2$  (熱処理による結晶化)
- 5 1 0 ゲート電極
- 5 1 1 シリサイド層
- 6 0 1 シリコン基板
- 6 0 2 素子分離酸化膜
- 6 0 3 シリコン酸化膜
- 6 0 4  $ZrSiO$  膜層
- 6 0 5 領域 1
- 6 0 6 領域 2
- 6 0 7 レジスト・マスク
- 6 0 8 ゲート電極
- 6 0 9 シリサイド層
- 7 0 1 シリコン基板
- 7 0 2 素子分離酸化膜
- 7 0 3 シリコン酸化膜
- 7 0 4 金属  $Zr$  層
- 7 0 5 領域 1

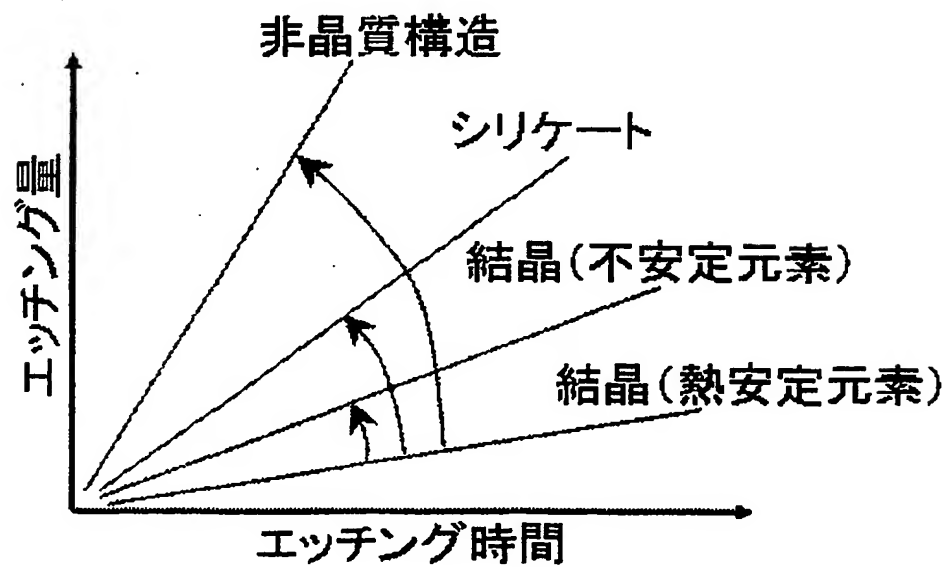
- 7 0 6 領域 2
- 7 0 7 組成変調を施した  $ZrSiO$  層
- 7 0 8 レジスト・マスク
- 7 0 9  $SiO_2$  層 ( $Si$  リッチな  $ZrSiO$  層)
- 7 1 0 ゲート電極
- 7 1 1 シリサイド層
- 8 0 1 シリコン基板
- 8 0 2 素子分離酸化膜
- 8 0 3 高誘電率絶縁材料膜

【書類名】 図面

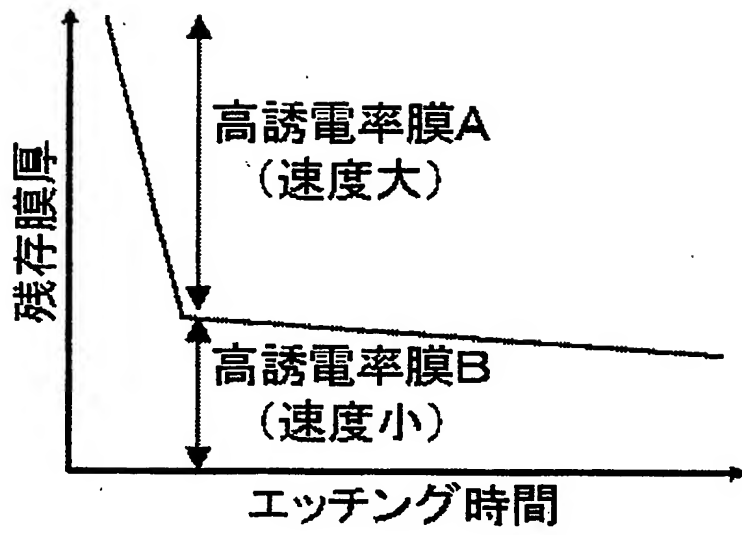
【図1】



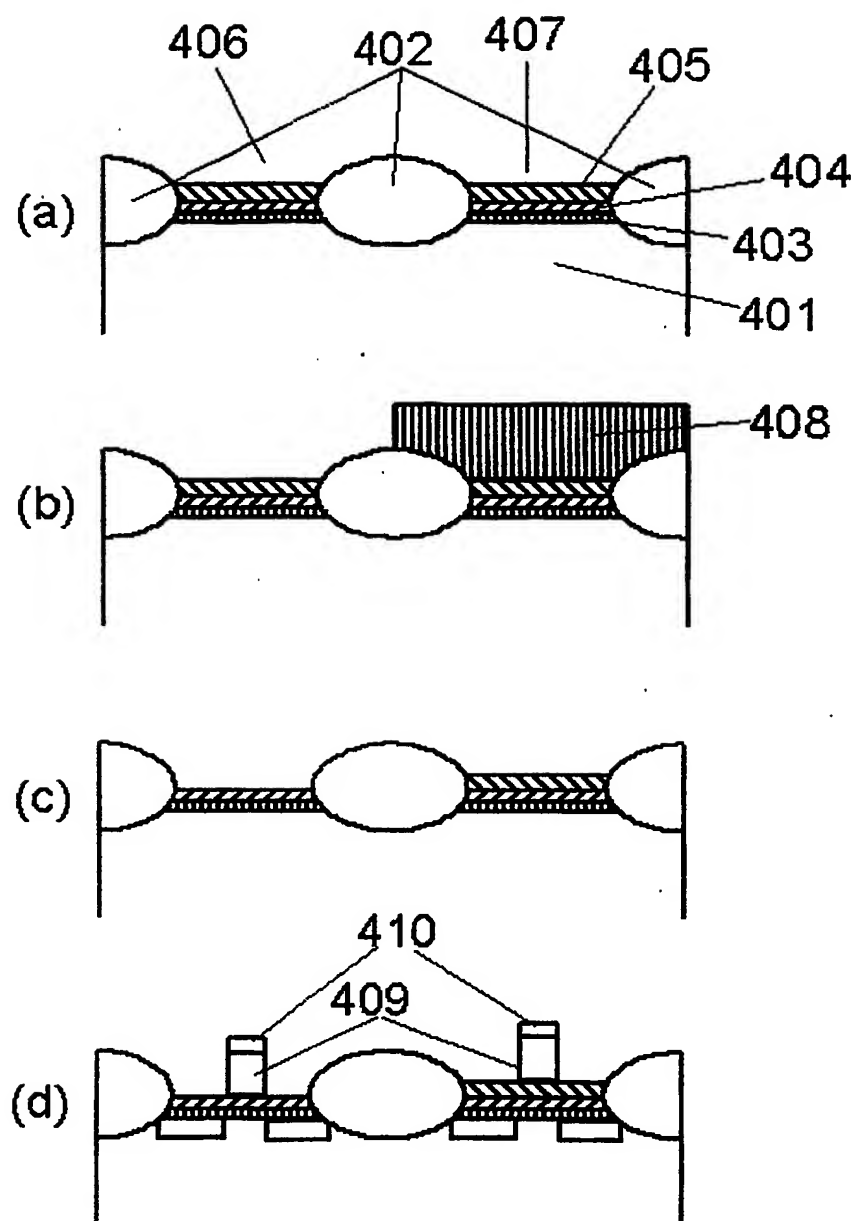
【図2】



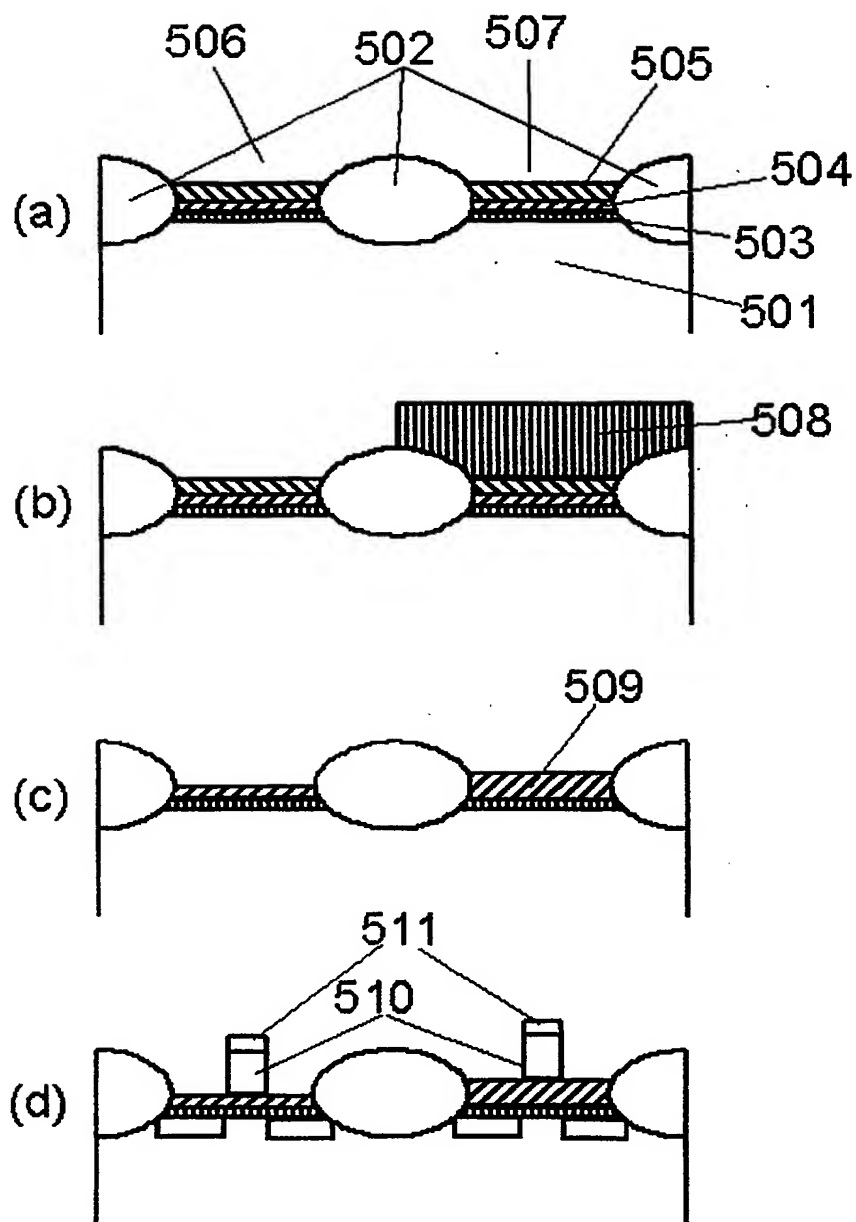
【図3】



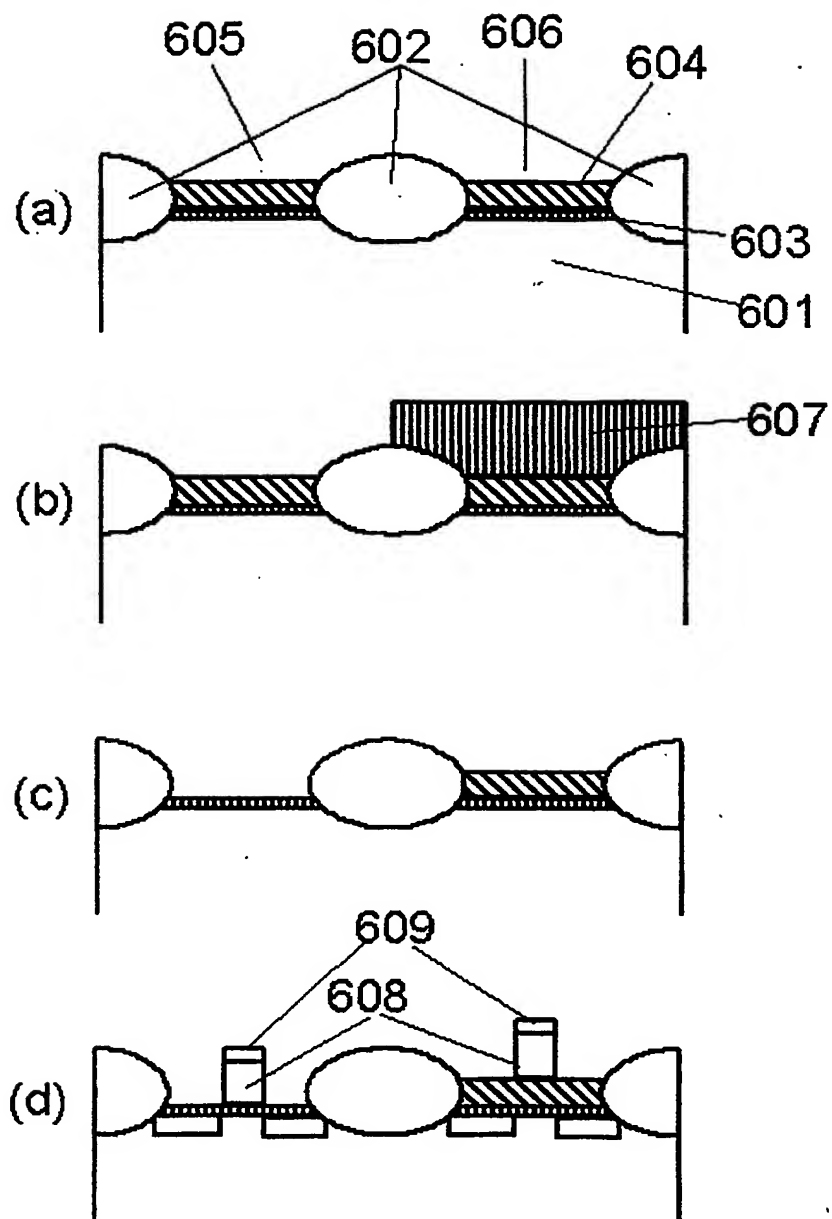
【図 4】



【図5】

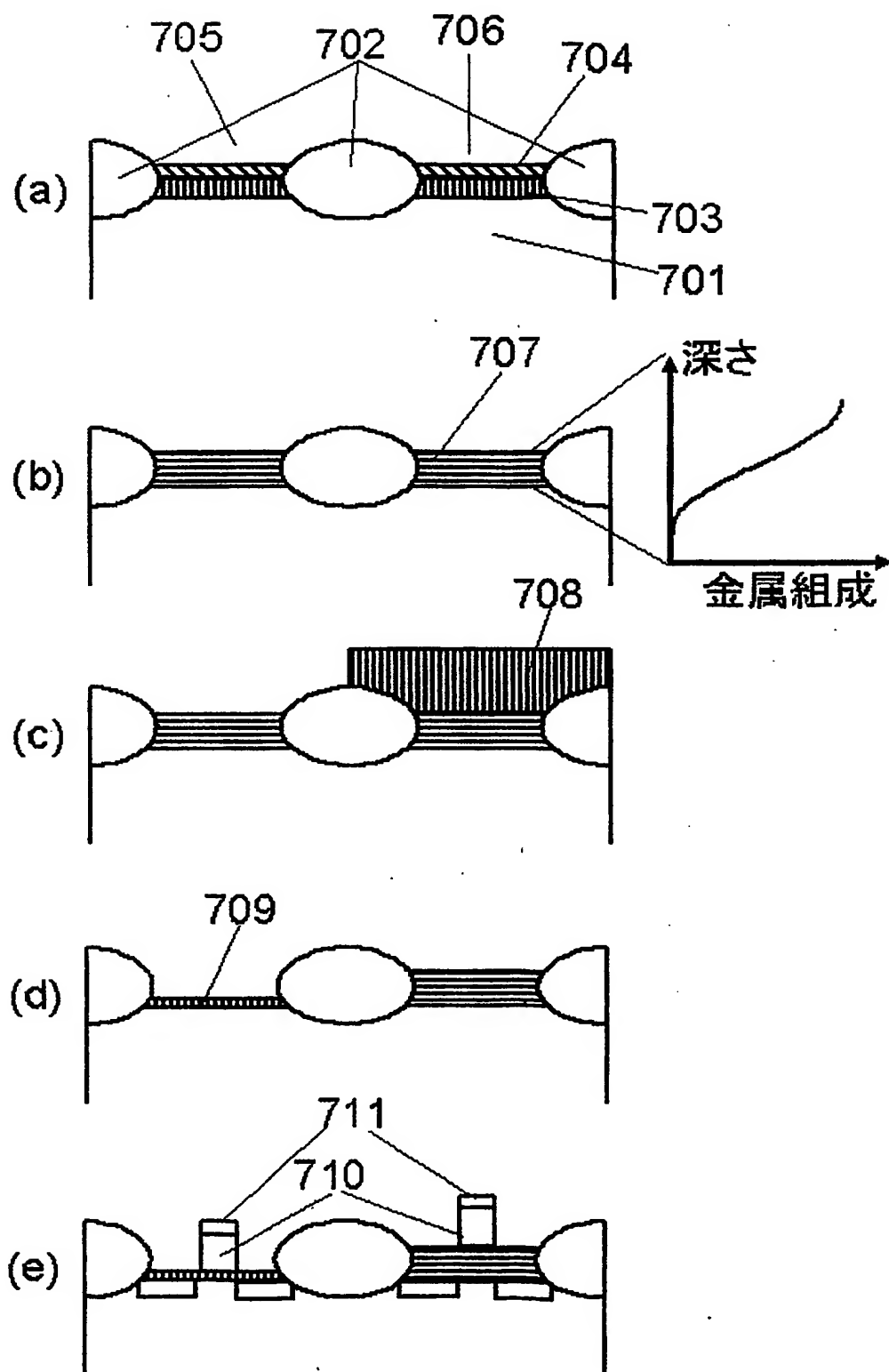


【図 6】

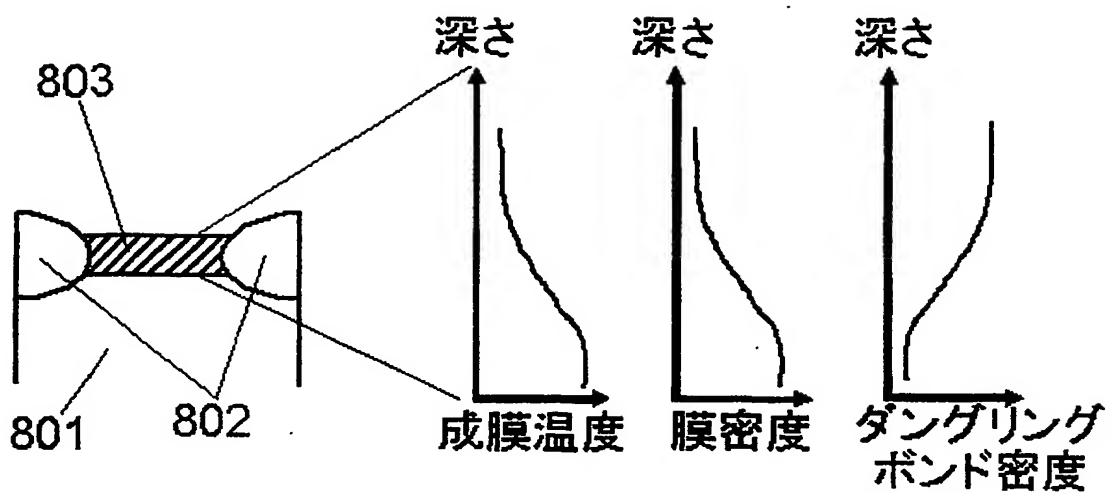




【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 膜厚の異なるゲート絶縁膜を有するトランジスタ複数種類を含む半導体装置において、ウエハー汚染を抑制でき、膜厚制御性や均一性に優れた半導体装置の構造、ならびにその簡便な製造方法を提供する。

【解決手段】 同一のシリコン基板 1 0 1 上に、少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜 1 0 4 と第二の高誘電率絶縁材料からなる第二の絶縁膜 1 0 3 との積層構造を含む絶縁膜層を形成し、エッチング・マスク 1 0 7 を用いて、一部の領域 1 0 5 上において、上層の第二の絶縁膜 1 0 3 を選択的にエッチング除去するマルチオキサイド・プロセスにより、高誘電率絶縁材料を利用してリーク電流の低減を図りつつ、電氣的膜厚の異なるゲート絶縁膜を有するトランジスタ複数種類を作製する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**